

УДК 004.324

Смехов Д.Г.

ЗАО «ИнСис»

Контроллер DMA для шины PCI Express

В настоящее время шина PCI Express является основной шиной для взаимодействия персонального компьютера с внешними устройствами. Реализация контроллера возможна на современных ПЛИС таких как Virtex-4, Virtex-5, Virtex-6. Для реализации было выбрано ядро EXDMA от фирмы PLD Application [1]. В процессе работы были выявлены три главные проблемы: низкая скорость работы с фрагментированной памятью, низкая скорость вывода данных в режиме FIFO, возможность потери данных при ошибке Completion Timeout.

Для достижения максимальной скорости обмена используется режим SCATTER-GATHER. В этом режиме выделяется память для специальных дескрипторов, которые указывают на расположение буферов обмена. Контроллер DMA считывает дескриптор, определяет по ним расположение блока памяти и производит передачу данных. Далее он может перейти к следующему дескриптору. Обмен происходит без участия центрального процессора. Проблема заключается в выделении памяти. В системной области можно выделить непрерывный блок памяти, но только небольшого объема – до 128 Мбайт. В пользовательской области можно выделить большой объем – до 1.5 Гбайт, но эта память будет разбита на страницы по 4 килобайта.

Традиционное решение контроллера, когда один дескриптор описывает один блок памяти, при работе с фрагментированной памятью показывает большое снижение скорости обмена. Для шины PCI Express x4 скорость ввода в непрерывную память составляет 710 Мбайт/с, а при использовании фрагментированной памяти – только 550 Мбайт/с.

Процесс считывания данных на шине PCI Express состоит из посылки запроса и получения пакета с запрашиваемыми данными. Задержка между посылкой запроса и ответным пакетом не зависит от размера пакета и составляет примерно 1 мкс. Время передачи 4 кБайт на скорости 700 Мбайт/с составляет примерно 5 мкс, что уже сравнимо со временем считывания дескриптора.

Автором разработан контроллер, в котором дескрипторы объединены в

специальный блок дескрипторов. Блок дескрипторов содержит указатели на 63 блока памяти и на следующий блок дескрипторов. Данное решение позволило резко увеличить скорость работы с фрагментированной памятью. Для непрерывной памяти – 714 Мбайт/с. Для фрагментированной – 709 Мбайт/с. Эти результаты получены на модуле АМВРЕХ8 [2] при использовании шины PCI Express x4.

Для ускорения считывания большого массива данных стандарт PCI Express предусматривает возможность посылки нескольких запросов на чтение. Но ответы на эти запросы могут придти в произвольном порядке. Порядок прихода ответов не имеет значения, если ответы также записываются в память. Но если ответы должны быть записаны в FIFO, то при изменении порядка произойдет искажение последовательности данных. Ядро EZDMA позволяет работать в режиме FIFO, при этом посылается только один запрос и происходит ожидание ответа. Это резко снижает скорость вывода данных. Для шины PCI Express x4 скорость вывода в этом режиме около 200 Мбайт/с. В новом контроллере используется дополнительный банк памяти, который со стороны шины выглядит как память, а другой стороны – как FIFO. Это позволяет сформировать несколько запросов на чтение и быстро заполнить память. После заполнения данные передаются в правильном порядке на дальнейшую обработку. Банк памяти также решает и проблему потери данных по ошибке Completion Timeout. В случае возникновения ошибки происходит повторное заполнение банка памяти.

Использование ПЛИС Virtex 5 позволило реализовать контроллер PCI Express x8. Данное решение применяется на модулях ADP201x1 [3], АМВРЕХ5 [4]. Для шины PCI Express x8 достигнута скорость ввода данных 1490 Мбайт/с и скорость вывода 1016 Мбайт/с.

Литература

1. “EZDMA2 IP for Xilinx Hard IP Reference Manual”, PLDA
http://www.plda.com/download/doc/ip/ezdma2_xilinx/ezdma2_reference_manual.pdf
2. Базовый модуль АМВРЕХ8 <http://www.insys.ru/ambunits/ambpex8>
3. Базовый модуль ADP201x1 <http://www.insys.ru/dsp/adp201x1>
4. Базовый модуль АМВРЕХ5. <http://www.insys.ru/ambunits/ambpex5>