

УСТРОЙСТВО БЫСТРОЙ СВЁРТКИ СИГНАЛА ДЛИНОЙ 64К НА МОДУЛЕ ADP64Z4

Варыпаев В.В, Меренков И.В., Смехов Д. Г., Уваров С.С.

Закрытое акционерное общество «Инструментальные Системы»

Введение

В области радиолокации достаточно часто требуется провести сжатие ЛЧМ сигнала. Наиболее эффективным методом является алгоритм быстрой свёртки. В данной работе представлена реализация устройства быстрой свёртки на модуле ADP64Z4. Свёртка выполняется на двух ПЛИС Virtex 4 SX55.

Постановка задачи

От приёмника поступают два аналоговых сигнала (sin,cos) и сигнал запуска. Требуется провести оцифровку и сжатие сигнала, а также передать сжатый сигнал по оптической линии в компьютер. Частота оцифровки 500 МГц, период повторения 250 мкс. Число разрядов АЦП 12. Длина ЛЧМ сигнала – до 32768 отсчётов. Для реализации сжатия требуется выполнить вычисление БПФ и ОБПФ размером 65536 точек.

Структура системы

Общая структурная схема представлена на рисунке 1

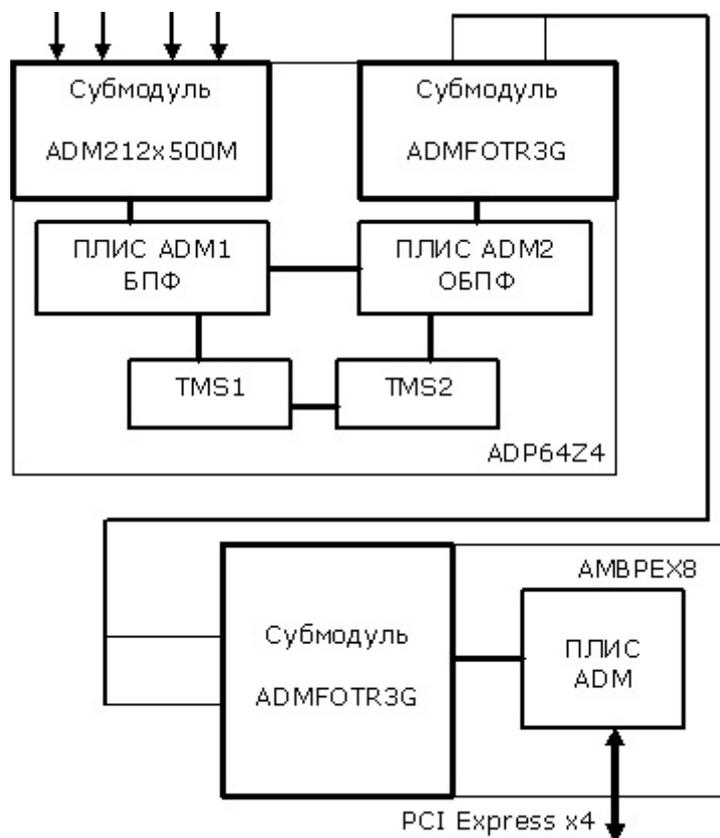


Рисунок 1 - Структурная схема системы сбора

На модуле ADP64Z4 установлены два субмодуля: ADM212x500M – для оцифровки аналогового сигнала, ADMFOTR3G – для связи с оптической линией. Модуль ADP64Z4 работает автономно – без компьютера. Всё управление производится через модуль AMBPEX8;

Модуль AMBPEX8 принимает поток данных и передаёт его в шину PCI Express. Скорость потока для частоты повторения 250 мкс и передачи 32768 комплексных 16-ти разрядных отсчётов составляет ровно 500 Мбайт/с.

Реализация свёртки

Устройство осуществляет быструю свертку путем выполнения преобразования Фурье, умножения Фурье-образа сигнала на Фурье-образ импульсной характеристики фильтра (опорную функцию) и последующего вычисления обратного преобразования Фурье. Прямое и обратное преобразования Фурье вычисляются с помощью быстрого алгоритма Кули-Тьюки (Cooley-Tukey), который описан в работе [1]. Устройство быстрой свертки реализовано на двух ПЛИС Xilinx XC4VSX55. Структурная схема представлена на рисунке 2. Для хранения опорной функции используется внешняя синхронная статическая память SBSRAM. Структуры алгоритмов БПФ и ОБПФ выбраны таким образом, что позволяют избежать от процедуры перестановки отсчетов из разрядо-реверсного порядка в натуральный, необходимой для стандартной реализации БПФ. Устройство реализовано в виде конвейера с двукратным параллелизмом. Это позволяет обрабатывать непрерывный поток комплексных отсчетов с АЦП, частота дискретизации которого в 2 раза выше тактовой частоты обработки. Однако в данной работе частота обработки снижена. На частоте 500 МГц время сбора выборки 64К составляет 132 мкс. Для обработки выбрана частота 150 МГц, время обработки составляет 218 мкс. Снижение частоты позволило снизить требования к трассировке ПЛИС и уменьшить энергопотребление модуля.

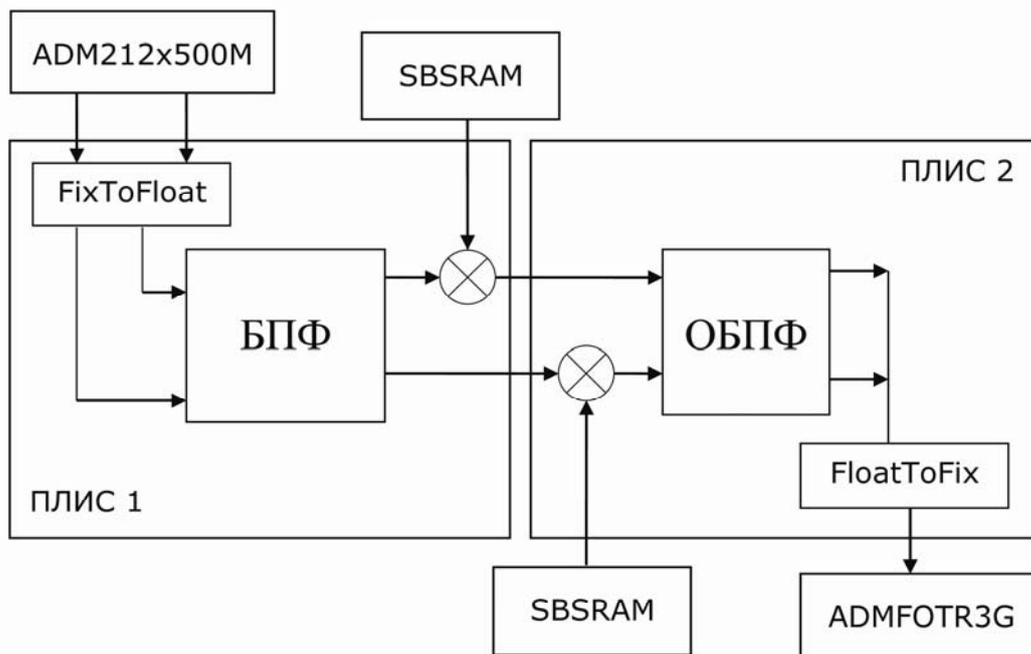


Рисунок 2 - Устройство быстрой свёртки

Все вычисления производятся в специальном, адаптированном к архитектуре ПЛИС, 18-битном формате с плавающей запятой. Применение формата с плавающей запятой обеспечивает одинаковую точность обработки сигналов вне зависимости от их амплитуды и позволяет избежать вычислительных ошибок, свойственных для целочисленных аппаратных вычислений, которые связаны с масштабированием данных. Узел преобразования из формата с плавающей точкой в целочисленный формат позволяет масштабировать сигнал в зависимости от номера отсчёта дальности.

Операция умножения на опорную функцию разделена между двумя ПЛИС. Опорная функция хранится в статической памяти и загружается при инициализации устройства.

Для оценки погрешности вычисления была выполнена операция быстрой свертки ЛЧМ сигнала на устройстве. Для сравнения результата эта же операция была выполнена на процессоре Intel в арифметике с плавающей запятой. Ошибка составила менее 5% во всем динамическом диапазоне входного сигнала.

Для экономии ресурсов памяти ПЛИС применена схема вычисления поворачивающих коэффициентов в реальном времени. Это позволило уменьшить размер памяти коэффициентов.

В данном устройстве два сигнальных процессора не участвуют в процессе обработки, они выполняют функции загрузки ПЛИС и управления устройством.

Модуль ADP64Z4 связан с модулем AMBPEX8 через две оптические линии, которые работают на скорости 3.125 Гбит/с. Для передачи данных используется протокол "FOTR" [2], который обеспечивает защищённую от ошибок передачу данных на скорости 510 Мбайт/с.

Модуль AMBPEX8 позволяет передавать в компьютер поток данных на скорости до 700 Мбайт/с. На модуле используется контроллер DMA [3], который позволяет использовать на компьютере буфер размером до 1.5 Гбайт.

Результаты

Реализован автономный модуль вычисления быстрой свёртки размером 64К, время выполнения свёртки составляет 250 мкс.

Реализован канал связи между модулем ADP64Z4 и компьютером со скоростью передачи данных 500 Мбайт/с.

Литература

1. Л. Рабинер, Б.Гоулд “Теория и применение цифровой обработки сигналов” М.:Мир, 1978
2. Смехов Д.Г. «Протокол передачи данных через оптическую линию связи и шину CCBUS», Доклад на конференции DSPA-2006. М., 2006
3. Смехов Д.Г. «Контроллер DMA для шины PCI Express», Труды 53-й научной конференции МФТИ, М.:МФТИ, 2010